

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-339084

(43)Date of publication of application : 06.12.1994

(51)Int.Cl.

H04N 5/335

G02B 27/00

H01L 27/14

(21)Application number : 05-149845

(71)Applicant : CANON INC

(22)Date of filing : 31.05.1993

(72)Inventor : KONDO KENICHI

(54) SOLID-STATE IMAGE PICKUP ELEMENT

(57)Abstract:

PURPOSE: To eliminate luminance shading and to make an image high definition picture quality without luminance irregularity by locating a light opaque area or a light semi-opaque area on a location except the area where light is condensed by a microlens.

CONSTITUTION: In arrayed picture elements, the location of an emitter electrode 22 is different from the upper and lower part of an optical center. On the upper part from the optical center of an optical lens placed in forward part of a sensor, the emitter electrode 22 is provided on the lower part within the picture elements, and on the lower part from the optical center, the emitter electrode 22 is provided on the upper part within the picture elements. By doing this, because the incident light collected by a microlens 33 on both of the upper and lower parts of the optical center is made incident on a base area 21 to be all the photoelectric conversion areas in the periphery part without being rejected by the emitter electrode 22 such as an aluminum electrode, etc., practical effect incident light quantity becomes almost the same at each picture element. As a result, luminance shading due to the lowering of light quantity in the peripheral part of the area of an image sensor, which is seen in a conventional example, can be prevented.



LEGAL STATUS

[Date of request for examination]

20.04.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3466660

BEST AVAILABLE COPY

[Date of registration]

29.08.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

503 121641 WOOD

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-339084

(43) 公開日 平成6年(1994)12月6日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 5/335	V			
G 0 2 B 27/00	N	7036-2K		
H 0 1 L 27/14		7210-4M	H 0 1 L 27/ 14	D

審査請求 未請求 請求項の数 2 F D (全 6 頁)

(21) 出願番号 特願平5-149845

(22) 出願日 平成5年(1993)5月31日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 近藤 健一

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

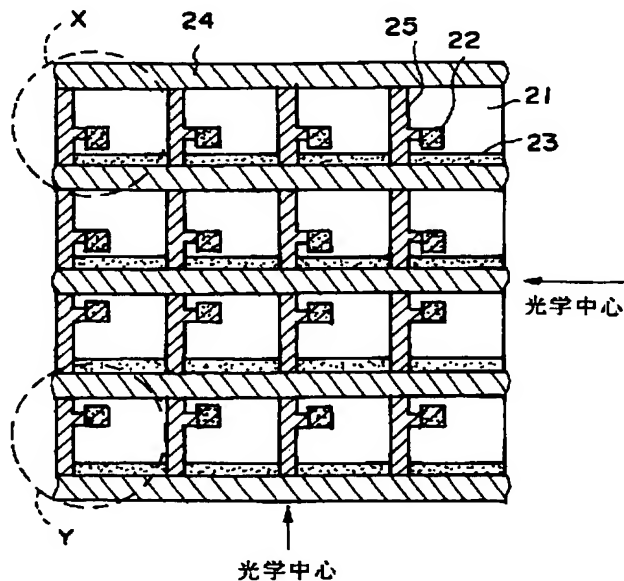
(74) 代理人 弁理士 山下 稔平

(54) 【発明の名称】 固体撮像素子

(57) 【要約】

【目的】 輝度シェーディングのない高感度の固体撮像素子を実現する。

【構成】 光不透過領域もしくは光半不透過領域22をとりかこむように光電変換領域が構成される画素を複数有し、かつ各画素の上にマイクロレンズが形成されてなる固体撮像素子において、前記光不透過領域もしくは光半不透過領域22を前記マイクロレンズにより光が集光される領域以外の位置に配置した。



【特許請求の範囲】

【請求項1】 光不透過領域もしくは光半不透過領域をとりかこむように光電変換領域が構成される画素を複数有し、かつ各画素の上にマイクロレンズが形成されてなる固体撮像素子において、

前記光不透過領域もしくは光半不透過領域を前記マイクロレンズにより光が集光される領域以外の位置に配置したことを特徴とする固体撮像素子。

【請求項2】 前記画素は、第一導電型の半導体からなる制御電極領域と、前記第一導電型とは異なる第二導電型の半導体からなる第一の主電極領域と、前記第二導電型の半導体からなる第二の主電極領域と、を有し、光エネルギーを受けることにより生成されるキャリアを前記制御電極領域に蓄積し、該第一の主電極領域から蓄積されたキャリアに基づく信号を読み出すトランジスタを具備し、前記光不透過領域もしくは光半不透過領域は該第一の主電極領域と電気的に接続される電極である請求項1記載の固体撮像素子。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、固体撮像素子に係り、光不透過領域もしくは光半不透過領域をとりかこむように光電変換領域が構成される画素を複数有し、かつ各画素の上にマイクロレンズが形成されてなる固体撮像素子に関するものである。

【0002】

【従来の技術】従来、固体撮像素子としては、CCD型とX-Yアドレス型の二方式が知られている。

【0003】図5は、X-Yアドレス型固体撮像素子の一構成例を示す等価回路図であり、ベース（制御電極領域となる）に光キャリアを蓄積し、エミッタ（第一の主電極領域となる）から出力するというバイポーラ型の光電変換素子（以下、バイポーラ型センサという）を画素としたX-Yアドレス型固体撮像素子である。尚、ここでは便宜的に3×3のセンサとして図示した。

【0004】図5において、1はバイポーラ型センサ（等価的にバイポーラトランジスタ）T、ベースに接続する容量Cox、PMOSTランジスタMから成る画素である。2は画素1のエミッタに接続する垂直出力線、3は垂直出力線2をリセットするためのMOSTランジスタ、4は画素1からの出力信号を蓄積するための蓄積容量、5は出力信号を蓄積容量4へ転送するためのMOSTランジスタ、6は水平シフトレジスタの出力を受け、出力信号を水平出力線7へ転送するためのMOSTランジスタ、8は水平出力線7をリセットするためのMOSTランジスタ、9はプリアンプ、10は水平駆動線、11は垂直シフトレジスタの出力を受け、センサ駆動パルスを通すバッファ用MOSTランジスタ、12は画素1のクランプ動作を行うために、PMOSTランジスタMのソース電位を設定するエミッタフォロア回路、13は

エミッタフォロア回路12のベース電位を設定するためのPMOSTランジスタ、14はMOSTランジスタ3のゲートにパルスを印加するための端子、15は転送用のMOSTランジスタ5のゲートにパルスを印加するための端子、16はセンサ駆動パルスを印加するための端子、17はPMOSTランジスタ13にゲートパルスを印加するための端子、18はプリアンプ9に接続される出力端子である。垂直シフトレジスタは、シフトレジスタのスタートパルスである ϕVS と、シフトレジスタ駆動パルスである $\phi V1$ 、 $\phi V2$ とによって動作される。水平シフトレジスタは、シフトレジスタのスタートパルスである ϕHS と、シフトレジスタ駆動パルスである $\phi H1$ 、 $\phi H2$ とによって動作される。

【0005】図5に示した二次元固体撮像素子は、全画素が一度にリセットするタイプのものであり、スチルビデオ用等に利用することができる。

【0006】以下、その動作について説明する。

【0007】最初に、端子17にLowレベルの電位を加えてPMOSTランジスタ13をon状態とし、エミッタフォロア回路12の出力を正電位にする。このエミッタフォロア回路12の出力は画素1のPMOSTランジスタMのソースに接続されており、ソース電位がゲート電位に比べて、PMOSTランジスタMを充分on状態にするほど高くなれば、PMOSTランジスタMを通して、画素のバイポーラ型センサTのベースにホールが注入される。次に端子17にHighレベルの電位を加えて、PMOSTランジスタ13をoff状態とし、エミッタフォロア回路12の出力をGNDとする。この時、端子14にHighレベルの電位を加えてトランジスタ3をon状態とし、垂直出力線2をGNDとする。

【0008】次にこの状態のまま、垂直シフトレジスタを駆動し、また端子16に画素リセットパルスを印加することで、各行毎に順次画素のリセットを行い、すべての画素のバイポーラ型センサTのベースを一定電位、かつ逆バイアスにする。

【0009】次に光キャリアの蓄積動作を行った後、端子14にLowレベルの電位を加えて、トランジスタ3をoff状態にし、垂直シフトレジスタの出力によって選択された行毎に読み出しパルスを端子16から印加し、バイポーラ型センサTのベース・エミッタ間を順バイアスとし、MOSTランジスタ5を通して、蓄積容量4に信号出力を蓄積する。蓄積容量4に蓄積された信号出力は、水平シフトレジスタによって選択された転送用のMOSTランジスタ6を通して水平出力線7に転送され、プリアンプ9を通して出力端子18から出力される。

【0010】図6は画素の平面図である。ここでは便宜的に縦4画素、横4画素のみを表わす。図6において、21はセンサセルのバイポーラトランジスタのベース領域であり、入射光によって光電変換がおこなわれ、ホー

ルがこの領域に蓄積される。22はバイポーラトランジスタのエミッタ電極で、アルミで形成され、同様にアルミで形成される垂直出力線25とコンタクトされる。23は一部のベース領域上に絶縁層を介して形成されるポリシリコン電極で、容量 C_{ox} を構成し、アルミで形成される水平駆動線24とコンタクトされる。

【0011】一方、固体撮像素子の感度向上の手段として、最近、画素上部にドーム型、もしくはかまぼこ型のマイクロレンズを形成する方法が用いられている。上記のバイポーラ型センサにおいても、水平駆動線巾3.5 μm 、垂直出力線巾2 μm 、画素サイズ13.5 \times 13.5 μm^2 のセンサをつくり、上部にドーム型マイクロレンズを形成したところ、感度の大巾な向上が認められた。

【0012】

【発明が解決しようとしている課題】しかしながら、上記のマイクロレンズ付のバイポーラ型センサ構成の二次元固体撮像素子においては、センサ前部におかれる光学レンズによってセンサ周辺領域に入る光が斜めとなり、一部の方向においては、エミッタ電極22によって光がけられ、そのために有効入射光量が低下し輝度シェーディングが発生していた。

【0013】即ち、図6の画素構造で画素上部にドーム型マイクロレンズを形成した固体撮像素子においては、図6の左上部の画素は光照射領域L（Lはマイクロレンズによって集光され光照射された領域を示す）内にエミッタ電極22が入り、図7の斜線部に示す領域において、入射光量の低下がみられる。なお、図7において光学中心とはセンサ前部におかれる光学レンズの光学中心を示す。図8(a)～(d)は一樣輝度面の被写体を写したときの図7のa～dのラインにおける出力レベルを示したものである。

【0014】また画素上部にかまぼこ型レンズを形成した場合では、図9に示した斜線領域における画素の出力が低下する。

【0015】

【課題を解決するための手段】本発明の固体撮像素子は、光不透過領域もしくは光半不透過領域をとりかこむように光電変換領域が構成される画素を複数有し、かつ各画素の上にマイクロレンズが形成されてなる固体撮像素子において、前記光不透過領域もしくは光半不透過領域を前記マイクロレンズにより光が集光される領域以外の位置に配置したことを特徴とする。

【0016】

【作用】本発明は、画素の光不透過領域もしくは光半不透過領域をマイクロレンズにより光が集光される領域以外の位置に配置することで、該光不透過領域もしくは光半不透過領域によって光がけられないようにし、輝度シェーディングのない高感度の固体撮像素子を実現したものである。

【0017】

【実施例】以下、本発明の実施例について図面を用いて詳細に説明する。

【0018】図1は本発明の固体撮像素子の第1の実施例の画素構成を示す平面図である。図2(a)は図1のX部拡大図、図2(b)は図2(a)のA-A'断面図である。図3(a)は図1のY部拡大図、図3(b)は図3(a)のB-B'断面図である。なお、21～25の各構成部の働きは図6に示した従来例と同様であり、固体撮像素子の動作についても図5を用いて説明したので、ここではその説明を省略する。図1、図2(a)、及び図3(a)においては簡易化のためマイクロレンズを示していない。

【0019】図2(b)、図3(b)において、31は半導体基板、32は保護膜、33はマイクロレンズである。図2(b)、図3(b)中の破線は入射光線を示す。また図2(a)、(b)、図3(a)、(b)において、Lは光照射領域を示す。

【0020】本実施例においては、図1に示されるように、配列された画素において、光学中心の上下でエミッタ電極22の位置が異なり、センサ前部におかれる光学レンズの光学中心より上部ではエミッタ電極22は画素内の下方に、光学中心より下部ではエミッタ電極22は画素内の上方に設けられる。このようにすることで、図2(b)、図3(b)に示されるように、光学中心の上下のどちらにおいてもマイクロレンズ33によって集光された入射光が、周辺部においてもアルミ電極等のエミッタ電極22によってけられることなく、全て光電変換領域であるベース領域21に入射するので、実効入射光量は各画素でほぼ同一となる。その結果、従来例でみられたイメージセンサのエリアの周辺部における光量低下による輝度シェーディングを防ぐことができる。

【0021】尚、本実施例では、エミッタ電極の位置を光学中心に接するラインから変えているが（光学中心より上ではエミッタ電極22を画素内の下方に配置している）、光学中心から多少離れたラインからエミッタ電極の位置を変えても十分な効果が得られる。

【0022】図4は本発明の固体撮像素子の第2の実施例の画素構成を示す平面図である。本実施例では、センサ前部におかれる光学レンズの光学中心の左右でエミッタ電極22の位置が異なるように構成され、光学中心より右部ではエミッタ電極22は画素内の左に、光学中心より左部ではエミッタ電極22は画素内の右に設けられる。本実施例においても、第1の実施例と同様の効果を得ることができる。但し、本実施例においてはエミッタ電極の方向の切り換わる中間の縦1ライン（図4のZ、以下Zラインと呼ぶ）が不感領域となるので、この領域の情報を周辺画素の情報をもとに補間する必要がある。また、このZラインのベース領域に光が入射しないようにZライン上部にアルミ等で遮光することが望ましい。

【0023】

【発明の効果】以上説明したように、本発明によれば、光不透過領域もしくは光半不透過領域をマイクロレンズにより光が集光される領域以外の位置に配置することで、輝度シェーディングをなくすることができ、画像を輝度ムラのない高品位の画質とすることができる。またこのような固体撮像素子を測定用とした場合、正確な輝度情報を得ることができる。

【図面の簡単な説明】

【図1】本発明の固体撮像素子の第1の実施例の画素構成を示す平面図である。

【図2】(a)は図1のX部拡大図、(b)は(a)のA-A'断面図である。

【図3】(a)は図1のY部拡大図、(b)は(a)のB-B'断面図である。

【図4】本発明の固体撮像素子の第2の実施例の画素構成を示す平面図である。

【図5】X-Yアドレス型固体撮像素子の一構成例を示す等価回路図である。

【図6】従来例の固体撮像素子の画素平面図である。

【図7】従来例のイメージエリア内の感度低下領域を示す図である。

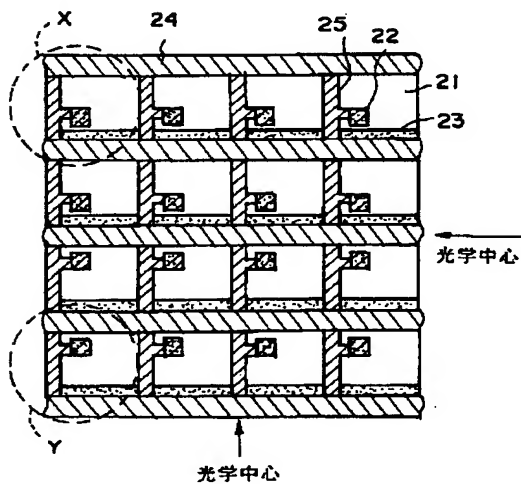
【図8】従来例の一樣輝度面を撮影したときの各ライン出力である。

【図9】従来例のイメージエリア内の感度低下領域を示す図である。

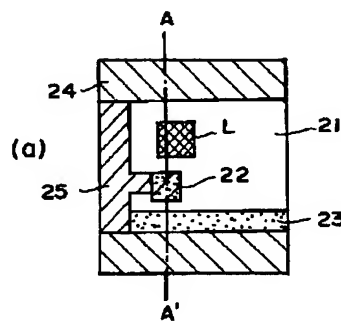
【符号の説明】

- 21 ベース領域
- 22 エミッタ電極
- 23 ポリシリコン電極
- 24 水平駆動線
- 25 垂直出力線
- 31 半導体基板
- 32 保護膜
- 33 マイクロレンズ

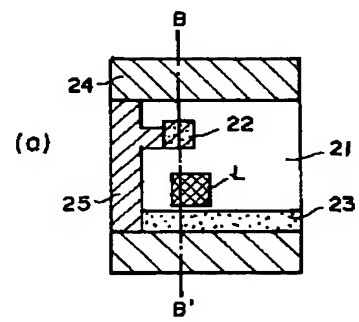
【図1】



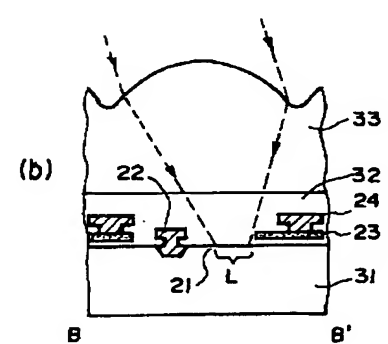
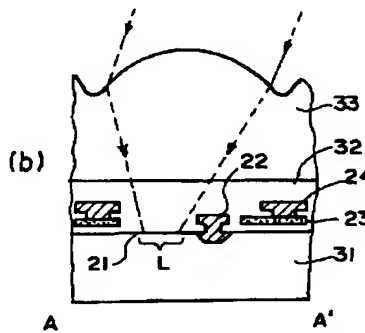
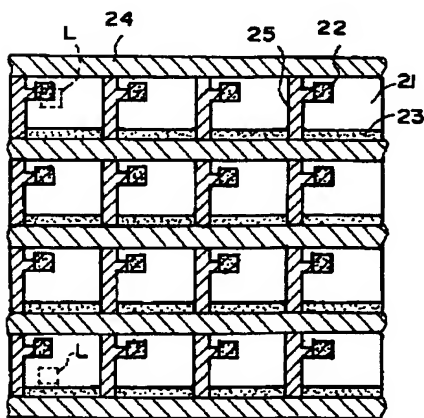
【図2】



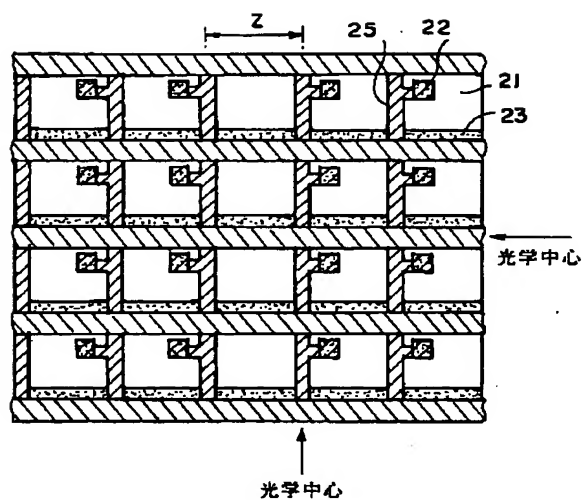
【図3】



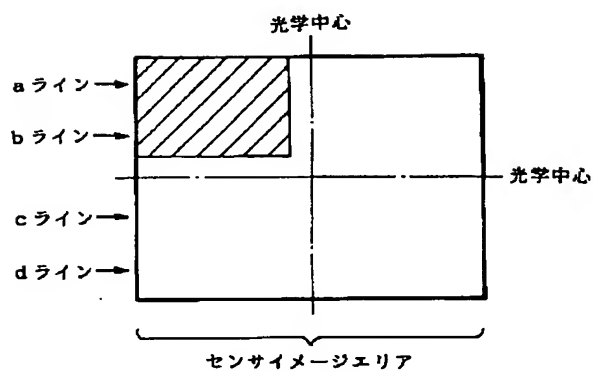
【図6】



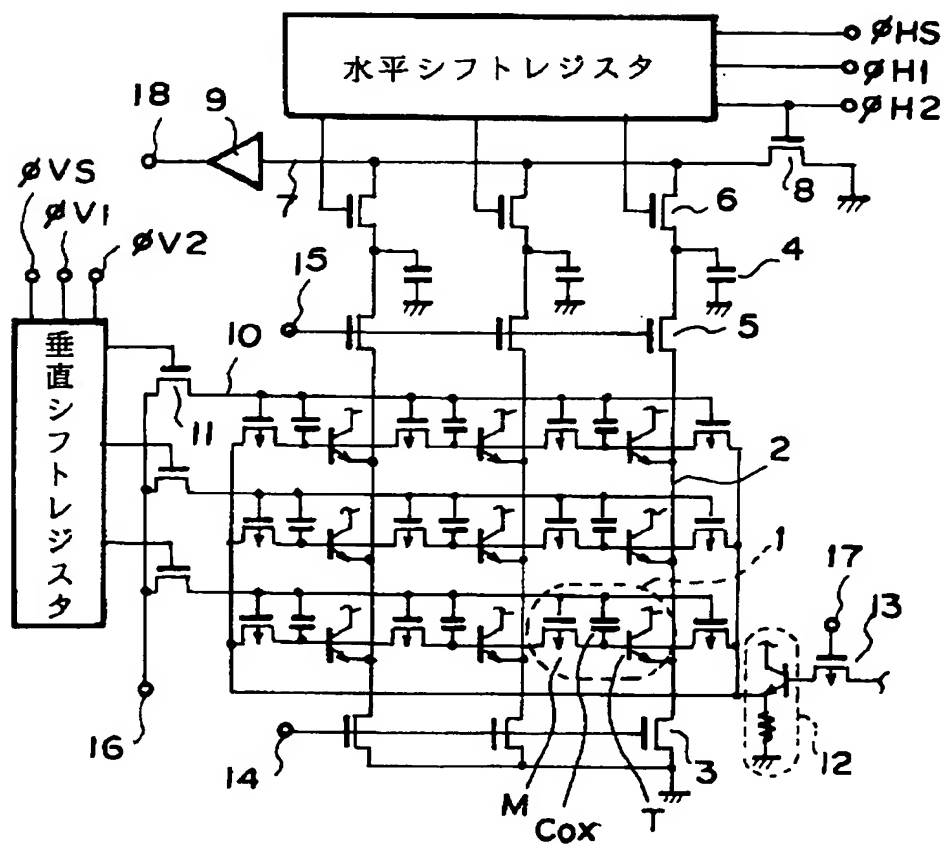
【図 4】



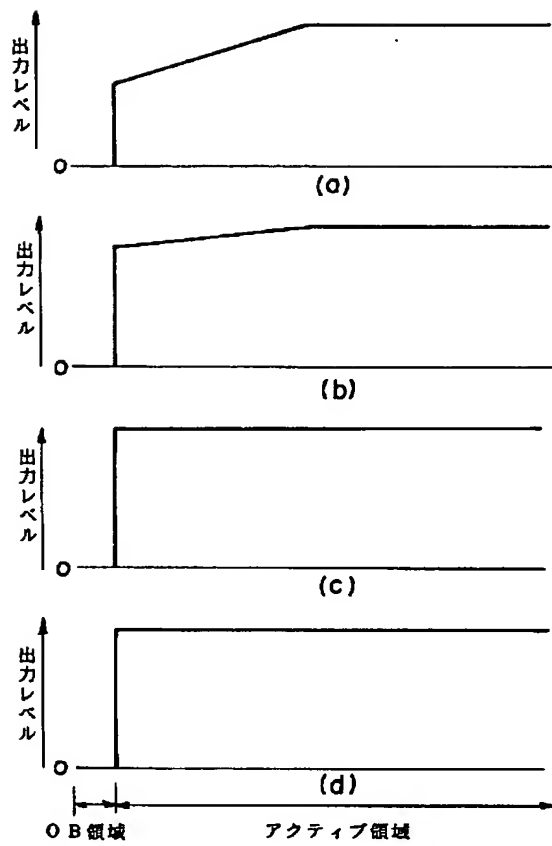
【図 7】



【図 5】



【図8】



【図9】

